

#5  
7-11-01  
moei

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

**Yong-Kyu JANG *et al.***

Art Unit: TBD

Application No. **09/709,312**

Examiner: TBD

Filed: **November 13, 2000**

Atty. Docket: **06192.0166.NPUS00**

For: **REFLECTIVE-TRANSMISSION TYPE  
THIN FILM TRANSISTOR LIQUID  
CRYSTAL DISPLAY**



**CLAIM FOR PRIORITY UNDER 35 U.S.C. § 119 IN UTILITY APPLICATION**

Assistant Commissioner for Patents  
Washington, D.C. 20231

Sir:

Priority under 35 U.S.C. § 119 is hereby claimed to the following priority document(s), filed in a foreign country within twelve (12) months prior to the filing of the above-referenced United States utility patent application:

| Country           | Priority Document Application No. | Filing Date       |
|-------------------|-----------------------------------|-------------------|
| Republic of Korea | 1999-49940                        | November 11, 1999 |
| Republic of Korea | 2000-11533                        | March 8, 2000     |

A certified copy of each listed priority documents is submitted herewith. Prompt acknowledgment of this claim and submission is respectfully requested.

Respectfully submitted,

  
Michael J. Bell  
Registration No. 39,604

Date: May 4, 2001

**HOWREY SIMON ARNOLD & WHITE, LLP**  
Box No. 34  
1299 Pennsylvania Avenue, NW  
Washington, DC 20004-2402  
(202) 783-0800



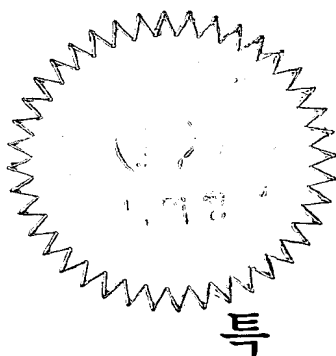
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Industrial Property Office.

출원 번호 : 특허출원 2000년 제 11533 호  
Application Number

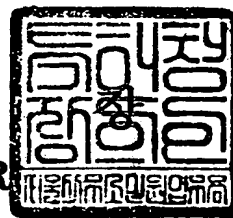
출원 년 월 일 : 2000년 03월 08일  
Date of Application

출원 인 : 삼성전자 주식회사  
Applicant(s)



2000 년 11 월 10 일

특 허 청  
COMMISSIONER



|            |   |   |          |
|------------|---|---|----------|
| 【서류명】      | 특허출원서   |   |          |
| 【권리구분】     | 특허  |   |          |
| 【수신처】      | 특허청장  |   |          |
| 【참조번호】     | 0002  |   |          |
| 【제출일자】     | 2000.03.08  |   |          |
| 【발명의 명칭】   | 반사 투과 복합형 박막트랜지스터 액정표시장치 및 그 형성 방법  |   |          |
| 【발명의 영문명칭】 | A reflective-transmissive complex type TFT LCD and A Method of forming it |   |          |
| 【출원인】      |   |   |          |
| 【명칭】       | 삼성전자 주식회사   |   |          |
| 【출원인코드】    | 1-1998-104271-3   |   |          |
| 【대리인】      |   |   |          |
| 【성명】       | 임창현   |   |          |
| 【대리인코드】    | 9-1998-000386-5   |   |          |
| 【포괄위임등록번호】 | 1999-007368-2   |   |          |
| 【대리인】      |   |   |          |
| 【성명】       | 권혁수   |   |          |
| 【대리인코드】    | 9-1999-000370-4   |   |          |
| 【포괄위임등록번호】 | 1999-056971-6   |   |          |
| 【발명자】      |   |   |          |
| 【성명의 국문표기】 | 장용규   |   |          |
| 【성명의 영문표기】 | JANG, YONG KYU  |   |          |
| 【주민등록번호】   | 651213-1450912  |   |          |
| 【우편번호】     | 442-373   |   |          |
| 【주소】       | 경기도 수원시 팔달구 매탄3동 1158-3번지   |   |          |
| 【국적】       | KR  |   |          |
| 【취지】       | 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인<br>현 (인) 대리인<br>권혁수 (인)                |   |          |
| 【수수료】      |   |   |          |
| 【기본출원료】    | 20  | 면 | 29,000 원 |
| 【가산출원료】    | 1   | 면 | 1,000 원  |

1020000011533

2000/11/1

|           |        |                |   |   |
|-----------|--------|----------------|---|---|
| 【우선권 주장료】 | 0      | 건              | 0 | 원 |
| 【심사청구료】   | 0      | 항              | 0 | 원 |
| 【합계】      | 30,000 | 원              |   |   |
| 【첨부서류】    | 1.     | 요약서·명세서(도면)_1통 |   |   |

**【요약서】****【요약】**

본 발명은 반사 투과 복합형 박막트랜지스터 액정표시장치 및 그 형성방법에 관한 것으로, 그 형성 방법에는 액정표시장치의 화면을 이루는 각 화소부에서 편광의 위상 조절을 위해 투과 영역과 반사영역의 액정층 두께를 다르게 형성하기 위해 게이트 전극 혹은 소오스/드레인 전극 형성 단계에서 화소전극의 투명전극과 크롬 등의 금속을 적층한 투명전극 패턴을 먼저 형성하고 박막트랜지스터 위에 보호용 절연막을 형성할 때 패터닝을 통해 투명전극 패턴 상부를 드러내고 반사전극을 형성하면서 역시 투명전극 패턴을 드러낸 다음 투명전극 패턴에서 상부의 불투명한 금속층을 제거하는 단계가 구비된다.

따라서, 반사 투과 복합형 박막트랜지스터 액정표시장치에서 투과 영역 및 반사 영역별로 편광의 위상을 조절하여 최대의 출사 광량을 얻어 전체적인 화면 휘도 및 콘트라스트를 높일 수 있게 된다

**【대표도】**

도 5

## 【명세서】

## 【발명의 명칭】

반사 투과 복합형 박막트랜지스터 액정표시장치 및 그 형성 방법 {A

reflective-transmissive complex type TFT LCD and A Method of forming it}

## 【도면의 간단한 설명】

도1 및 도2는 종래의 반사 투과 복합형 박막트랜지스터 액정표시장치의 한 예에서의 박막트랜지스터층 기관의 화소부에서의 평면도 및 측단면도,

도3은 종래의 문제점을 설명하기 위해 반사 영역 및 투과 영역에서의 액정표시장치 패널의 단면 구조 및 빛의 위상변화를 나타낸 개념도이다.

도4는 본 발명의 일 실시예에서 하층 기관의 화소부 및 패드부 평면을 나타내는 평면도,

도5는 도4의 실시예 평면을 AA라인을 따라 절단한 하층기관 화소부 단면을 나타내는 단면도이다.

## ※도면의 주요부분에 대한 부호의 설명

- |             |                |
|-------------|----------------|
| 10: 기관      | 11: 게이트 패턴     |
| 13: 게이트 절연막 | 15: 반도체층       |
| 17: 오믹 콘택층  | 19: 소오스/드레인 전극 |
| 21: 투명전극 패턴 | 23: 유기 절연막     |
| 25: 반사막 패턴  | 27: 투과 영역      |
| 31,33: 편광판  | 35,37: 위상차판    |

41: 반사판

61: 크롬충

【발명이 속하는 기술분야 및 그 분야의 종래기술】

1442 72

<16> 또한, 자체로서 빛을 발하지 못하는 액정의 특성에 따라 박막트랜지스터 액정표시 장치를 포함하는 액정표시장치는 패널 후면에 독립적인 광원을 설치하여 빛

이 액정 패널을 투과하면서 액정 패널의 화상이 사용자에게 인식되는 투과형과 전면에 설치된 광원이나 외부 광이 반사되면서 액정 패널의 화상이 인식되는 반사형으로 나눌 수 있다.

- <17> 박막트랜지스터 액정표시장치에서 각 화소마다 형성되는 화소전극은 반사형 액정 표시장치의 경우 주로 알루미늄을 스퍼터링으로 적층하여 포토리소그래피와 식각 공정을 통해 화소 상당 부분에 형성하게 되는데 전기적으로 트랜지스터의 소오스 전극과 콘택을 통해 연결되어 있으며 반사판의 역할을 하게 된다.
- <18> 그리고 백라이트형 혹은 투과형 박막트랜지스터 액정표시장치의 화소전극은 화소전극을 통해 빛이 통과하여 사용자의 눈에 들어오게 되므로 투명한 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 등으로 형성된다.
- <19> 현재의 한 추세를 보면, 노트북 컴퓨터와 같이 대화면 고품위의 화상을 요구하는 곳에서도 전력의 소모를 줄이면서 외광을 이용하여 최대한 고품위의 화상을 구현할 수 있는 반사형 박막트랜지스터 액정표시장치에 대한 많이 모색이 이루어지고 있으며, 반사형과 투과형, 두 가지 형태의 장점을 살려서 주변 광도의 변화에도 불구하고 사용 환경에 맞게 적절한 시인성을 확보할 수 있는 반사 투과 복합형 액정표시장치가 이미 샤프사를 통해 소개된 바 있다.
- <20> 도1 및 도2는 반사 투과 복합형 액정표시장치의 한 예에서의 박막트랜지스터측 기판의 각 화소부 평면도 및 측단면도이다. 소개된 반사 투과 복합형 액정표시장치는 기존의 박막트랜지스터측 기판(10)의 전극형성과정에서 화소전극을 형성할 때 일단 투명전극 패턴(21)을 투명전극층으로 형성하고, 그 위에 유기 절연막(23)



을 적층, 패터닝한 다음, 알미늄이나 크롬 등의 금속막 즉 반사막층을 스퍼터링 등의 방법으로 형성한 다음 원하는 반사막 패턴(25)을 마스크 공정 즉 포토리소그래피와 에칭을 이용하여 형성하는 방법을 사용하고 있다. 이런 방법을 통해 화소에는 반사막층이나 투명전극층으로 된 화소전극이 전혀 남아있지 않은 화소전극 외부영역, 투명전극만 남아있는 투과 영역(27), 반사막 패턴(25)이 남아있는 반사영역이 구분 형성된다.

<21> 이러한 종래의 반사 투과 복합형 박막트랜지스터 액정표시장치의 패널에서 각 화소 별로 있는 투과영역과 반사영역의 액정층 두께 또는 셀 갭(cell gap)은 반사막 두께 정도의 차이는 있을뿐이고 실질적으로 두 영역에서 액정층의 두께는 동일하다. 그러나, 거의 모든 박막트랜지스터 액정표시장치가 채택하는 TN형 액정셀에서의 빛의 위상 측면을 고찰하면, 동일한 액정층 두께를 가지는 경우에 투과 모드 및 반사 모드 모두에서 동시에 최대의 휘도를 얻을 수는 없다는 문제가 있다.

<22> 도3은 이러한 문제점을 설명하기 위해 반사 영역 및 투과 영역에서의 액정표시장치 패널의 단면 구조 및 빛의 위상변화를 나타낸 개념도이다. 반사 영역에서는 반사막(41) 아래쪽으로는 빛이 지나지 않으므로 그 아래쪽의 백라이트나 위상차판은 무의미하므로 생략하기로 한다. 패널 상부(전면층)의 편광판(31)은 도면상 좌우로 진동하는 위상을 가진 빛 성분만 통과하도록 설치되어 있고, 투과 영역의 하부(후면) 편광판(33)은 도면과 수직으로 진동하는 위상을 가진 빛 성분만 통과하도록 설치되어 있다. 그리고, 편광판 내측으로는 위상차판(35,37)이 축방향이 서로 직각을 이루도록 설치되어 있다. 액정층(39)은 물성 및 두께를 조절하여 광경로상에 위상변화가  $\lambda/4$ 에 해당하도록 되어있다. 그리고 양 영역의 액정층 두께는 실질적으로 동일하다.

<23> 양 영역에서 공통적으로 패널 상하부 전극에 전압이 인가된 ON 상태에서 패널로부

터 나가는 빛은 없게 된다. 이 경우 액정층은 비틀어지지 않고 평행으로 배열하므로 빛의 경로상에서 위상 변화를 일으키지 않는다. 따라서 액정층의 두께는 문제되지 않는다. 그러나, 패널 상하부 전극에 전압이 인가되지 않은 OFF 상태에서 패널로부터의 출사광량이 최대가 되기 위해서 패널에서 바깥쪽으로 나가는 빛은 상부 위상차판( $\lambda/4$  plate)을 통과하기 직전에 도면상으로는 반시계방향으로 회전하는 위상에 있어야 한다. 한편, 통상적으로 설계된 액정층을 통과하는 빛의 위상 변화는  $\lambda/4$ 가 되는데, 최대의 출사광량을 위해 화소전극을 출발한 빛(가령, 반사 모드에서는 반사막에서 반사된 빛)은 도면에 수직으로 진동하는 위상에 있어야 한다.

<24> 그러나, 도3과 같이 전면으로부터 빛의 편광, 검광, 위상 변화와 관계있는 편광판(31), 위상차판(35), 액정층(39), (-)위상차판(37), 편광판(33)의 구조상에서 편광판 및 위상차판의 배치를 상정할 때, 투과 영역에서는 패널 구조상 ON 상태에서 후면에서 입사한 자연광이 패널의 출사광이 없도록 하기 위해서는 화소전극을 출발한 빛, 즉, 투명전극(43)을 통과한 빛이 시계방향으로 회전하는 위상에 있게 된다. 결국, 액정층의 두께가 통상적으로 설계된 경우로 통과하는 빛의 위상 변화가  $\lambda/4$ 에 해당하는 두께라면 상부 위상차판을 통과하기 직전에 반시계방향으로 회전하는 위상이 아닌 도면에 수직으로 진동하는 위상을 가지게 되고 편광판을 통과하기 전에 반시계방향으로 회전하는 위상을 가져서 결국 출사광량은 편광판을 손실없이 통과하는 편광과  $\lambda/4$ 의 위상차를 가져서 광량은 최대치의 절반으로 줄어들게 된다.

<25> 특히, 반사 투과 복합형 박막트랜지스터 액정표시장치에서 휘도의 문제가 가장 큰 약점이 될 수 있다는 점을 고려하면 이러한 광량의 손실을 회피할 수 있는 보완수단이 매우 절실하게 요구되는 것이다.

**【발명이 이루고자 하는 기술적 과제】**

<26> 본 발명에서는 이상에서 언급한 바와 같이 투과영역과 반사영역에서 동일한 액정층 두께를 가진 종래의 반사투과 복합형 박막트랜지스터 액정표시장치에서는 투과영역과 반사영역 모두에서 최대의 휘도를 가질 수 없다는 문제점을 개선할 수 있는 새로운 반사투과 복합형 박막트랜지스터 액정표시장치 및 그 형성 방법을 제공하는 것을 목적으로 한다.

**【발명의 구성 및 작용】**

<27> 상기 목적을 달성하기 위한 본 발명의 반사 투과 복합형 박막트랜지스터 액정표시장치는 글래스 기판, 상기 기판 상에 형성되는 박막트랜지스터, 상기 기판 상에 형성되며 상기 박막트랜지스터의 드레인 영역과 전기적으로 연결되는 제 1 화소전극, 상기 제 1 화소전극 및 상기 박막트랜지스터 위에 형성되며 상기 제 1 화소전극이 노출되도록 형성된 홀을 가지는 절연막 및 상기 절연막 위에 상기 제 1 화소전극이 노출될 수 있도록 형성되며 상기 드레인과 전기적으로 연결되는 제 2 화소전극을 구비하여 이루어진다.

<28> 본 발명에서 제 1 화소전극은 주로 투명전극 패턴이 되고 제 2 화소전극은 반사전극이 될 것이나 역으로 형성할 수 있다.

<29> 본 발명의 반사 투과 복합형 박막트랜지스터 액정표시장치에서 상기 절연막은 무기막에 비해 두껍게 형성되는 유기막으로 이루어지는 것이 투과 영역과 반사 영역 사이의 위상조절을 위한 액정층 두께차이를 늘릴 수 있다는 면에서 바람직하며, 유기막의 두께는 해당 두께의 액정층의  $\lambda/2$  값이  $1/4$  파장이 되도록 하는 것이 투과광이 편광판을 통해 나갈 때 편광판의 모드와 정합을 이루어 빛의 세기에서 손실을 최소화할 수 있으므로

바람직하다. 물론 두께가 이에 미치지 못하는 경우에도 해당 두께만큼의 효과를 거둘 수 있다.  $\angle$ nd는 빛이 거치는 물질층의 축방향에 따른 굴절율의 차이에 물질층 두께를 곱한 값이다.

<30> 또한, 상기 박막트랜지스터는 바텀 게이트형, 탑 게이트형이 모두 가능하며 경우에 따라 소오스/드레인 영역 및 채널을 이루는 반도체층은 아몰퍼스 실리콘 외에 폴리실리콘으로 형성될 수도 있다.

<31> 상기 제 1 화소전극은 상기 드레인 전극과 직접 혹은 간접으로 전기적으로 연결되어 있다. 또한 상기 제 2 화소전극도 직접 혹은 간접으로 상기 드레인 전극과 전기적으로 연결되어 있다.

<32> 상기 목적을 달성하기 위한 본 발명의 반사 투과 복합형 박막트랜지스터 액정표시 장치 형성 방법은, 글래스 기판 상에 박막트랜지스터, 데이터 라인, 게이트 라인 및 제 1 화소전극 패턴을 형성하는 단계, 절연막을 적층하고 패터닝하여 상기 박막트랜지스터의 드레인 전극 및 상기 제 1 화소전극 패턴을 노출시키는 단계, 상기 패터닝된 절연막 위에 제 2 화소전극층을 적층하고 패터닝하여 제 2 화소전극을 형성하면서 상기 제 1 화소전극을 노출시키는 단계를 구비하여 이루어진다.

<33> 본 발명 방법에서 상기 제 1 화소전극 패턴은 주로 투명전극 패턴이 되고 제 2 화소전극은 반사전극이 될 것이나 역으로 형성할 수 있다.

<34> 본 발명의 방법에서 제 1 화소전극 패턴은 금속으로 캡핑된 투명전극으로 이루어질 경우, 제 2 화소전극을 형성하면서 제 1 화소전극을 노출시키는 단계에 이어서 제 2 화소전극 및 상기 패터닝된 절연막을 식각 마스크로 제 1 화소전극 패턴의 캡핑 금속을 식

각, 제거하여 제 1 화소전극으로 형성하는 단계가 더 구비될 수 있다. 이때, 상기 투명전극 패턴은 상기 박막트랜지스터의 게이트 전극을 형성할 때 혹은 소오스/드레인 전극을 형성할 때 동일한 물질층으로 동시에 패터닝하여 형성하는 것이 바람직하며, 이때 게이트 전극 혹은 소오스/드레인 전극을 형성하는 물질층은 투명전극을 이루는 ITO, IZO 등과 캡핑 금속을 적층하여 형성한다. 캡핑 금속은 인듐 산화물 투명전극과 접촉하는 경우에도 절연성 산화물을 형성하지 않는 크롬 등을 사용할 수 있다.

<35> 한편, 투명전극과 접촉시에도 부도체 불투명 막을 형성하는 등의 문제를 일으키지 않는 금속이 있고 이 금속이 제 2 화소전극과 식각 선택비 차이가 적은 경우에는 제 2 화소전극을 형성하는 반사판을 패터닝하는 단계에서 캡핑금속도 함께 제거하여 투명전극을 드러낼 수 있으므로 공정 단계를 절약할 수 있고, 경우에 따라서는 이 금속 자체를 제 2 화소금속으로 사용할 수도 있을 것이다. 이런 금속으로 텅스텐 몰리브덴(MoW)을 들 수 있다.

<36> 이하 도면을 참조하면서 실시예를 통해 본 발명을 좀 더 살펴보기로 한다.

<37> 도4는 본 발명의 일 실시예에서 하층 기판의 화소부 및 패드부 평면을 나타내는 도면이다. 반사전극과 투명전극 패턴은 서로 뒤바뀔 수 있다. 반사전극과 투명전극의 경계부에서 두 전극층은 직접 혹은 중간 금속을 개재한 상태로 간접으로 접촉되어 전기적으로 연결되어 있다.

<38> 도5는 도4의 실시예 평면을 AA라인을 따라 절단한 하층기판 화소부 단면을 나타내는 도면이다. 이런 구조를 형성하는 방법의 한 예를 살펴보면, 우선 글래스 기판(10)에 투명전극층(51)과 크롬층(61)으로 이루어진 복층막을 적층하고 패터닝하여 게이트 전극, 게이트 라인, 게이트 패드 및 투명전극 패턴을 형성한다. 투명전극층(41)은 ITO, IZO 등

을 스퍼터링으로 형성하며, 크롬층(51)도 스퍼터링으로 형성하면 된다. 투명전극 패턴은 게이트 패턴과 전기적으로 분리된다. 게이트 절연막(13)을 CVD 적층하고 패터닝하여 실리콘 질화막 혹은 실리콘 산화막을 사용하여 게이트 전극 및 게이트 라인을 캡핑한다.

<39> 아몰퍼스 실리콘 반도체층(15)과 불순물이 도핑된 아몰퍼스 실리콘 오믹 콘택층(17)을 CVD(Chemical Vapour Deposition) 방법으로 적층하고 패터닝을 통해 활성영역 남긴다. 활성영역은 박막트랜지스터의 소오스/드레인 영역 및 채널 영역이 된다. 알미늄 등의 금속막을 스퍼터링으로 적층하고 패터닝하여 소오스/드레인 전극(19)과 데이터 라인 및 패드를 형성한다. 그리고 소오스/드레인 전극(19)을 식각 마스크로 오믹 콘택층(17)을 식각하여 제거한다.

<40> 이상과 같이 글래스 기판(10)에 박막트랜지스터 및 투명전극 패턴이 형성된 상태에서 유기 절연막(13)을 적층하고 드레인 전극 및 투명전극 패턴이 노출되도록 홀들을 형성한다. 유기 절연막(13)은 감광성막을 사용하여 포토리소그래피 공정만으로 패터닝이 가능하게 할 수 있고, 유기막의 두께는 해당 두께의 액정층의  $\lambda/4$  값이 1/4파장이 되도록 한다. 이때, 투명전극 패턴은 대부분이 노출된다. 다음으로, 알미늄 등의 금속으로 반사층을 형성하고 패터닝하여 반사전극(25)을 형성한다.

<41> 반사전극(25)은 홀들을 통해 드레인 전극(19) 및 투명전극 패턴 일부 영역과 접촉되어 전기적으로 연결되며, 투명전극 패턴의 대부분 영역은 노출된다. 이 상태에서 투명전극층(51) 상층의 크롬층(61)은 식각으로 제거한다. 투명전극 패턴과 반사전극이 접촉된 부분의 크롬층(61)은 알미늄 마스크에 의해 보호되어 잔류하여 투명전극을 이루는 인듐 산화물 계통의 투명전극과 알미늄의 직접 접촉을 막을 수 있다. 드레인 전극과 투명

전극 패턴은 반사전극을 통해 간접적으로 연결된다.

<42> 이상의 예에서 투명전극 패턴은 게이트 전극 등과 같이 형성되지 않고 소오스/드레인 전극과 동일한 층으로 형성될 수 있다. 이 경우 게이트 전극 등은 알미늄으로 형성하고, 소오스/드레인 전극층을 투명전극과 크롬을 적층하여 형성하며, 반사전극은 크롬이나 알미늄을 사용하는 것이 바람직하다. 또한, 드레인 전극과 투명전극 패턴이 연결되도록 패터닝할 수도 있다.

<43> 유기 절연막을 사용하는 경우에도 절연막 상면을 편평하게 형성하지 않고 미리 설계된 곡면 요철을 형성하여 집광렌즈의 역할을 할 수 있도록 할 수도 있다. 기판 내면의 배향막의 배향각, 틸드 각도 등의 다른 요인은 고려되지 않은 경우에 통상 투과영역의 액정층의 두께가 반사영역의 액정층 두께보다 두배가 되도록 하면 될 것이며, 두배에 이르지 못한 경우에도 투과 영역에서 적어도 더 두껍게 형성되면 그만큼 효과가 있다. 그리고, 배향막의 처리가 양 영역에서 다르게 조절될 수 있는 경우에는 액정층의 두께 차이는 달라질 수 있다.

<44> 투명전극과 반사전극의 위치가 뒤바뀌는 예에서는 투명전극은 ITO, IZO 등 단층으로 형성하고, 반사전극을 형성할 게이트 전극층 혹은 소오스/드레인 전극층을 알미늄과 크롬을 차례로 적층한 복층막으로 형성하여 상술한 공정 단계를 실시하면 될 것이다.

#### 【발명의 효과】

<45> 본 발명에 따르면 반사투과 복합형 박막트랜지스터 액정표시장치에서 반사영역과 투과영역의 액정층 두께를 다르게 하여 편광의 위상을 조절함으로써 한 영역에서의 출사 광량

을 고정시킨 상태에서 다른 영역의 출사 광량을 증가시킬 수 있고, 전체적인 화면 휘도 및 콘트라스트를 높일 수 있게 된다.



**【특허청구범위】****【청구항 1】**

클래스 기판,

상기 기판 상에 형성되는 박막트랜지스터,

상기 기판 상에 형성되며 상기 박막트랜지스터의 드레인 전극과 전기적으로 연결되는 제 1 화소전극,

상기 제 1 화소전극 및 상기 박막트랜지스터 위에 형성되며 상기 제 1 화소전극이 노출되도록 형성된 홀을 가지는 절연막 및

상기 절연막 위에 상기 제 1 화소전극이 노출될 수 있도록 형성되며 상기 드레인 전극과 전기적으로 연결되는 제 2 화소전극을 구비하여 이루어지는 것을 특징으로 하는 반사 투과 복합형 박막트랜지스터 액정표시장치.

**【청구항 2】**

제 1 항에 있어서,

제 1 화소전극은 투명전극 패턴으로, 제 2 화소전극은 반사전극으로 이루어지는 것을 특징으로 하는 반사 투과 복합형 박막트랜지스터 액정표시장치.

**【청구항 3】**

제 2 항에 있어서,

상기 절연막은 유기막으로 이루어지고 두께는 동일한 두께의 액정층의 1/4값이 1/4파장이 되도록 하는 것을 특징으로 하는 반사 투과 복합형 박막트랜지스터 액정표시장치.

**【청구항 4】**

제 2 항 또는 제 3 항에 있어서,

상기 제 1 화소전극은 상기 박막트랜지스터의 게이트 전극과 같은 물질층으로 동시에 패터닝되어 형성되며, 상기 물질층은 투명전극층에 크롬 또는 텅스텐 몰리브덴(MoW)을 적층하여 이루어지는 것을 특징으로 하는 반사 투과 복합형 박막트랜지스터 액정표시장치.

**【청구항 5】**

제 2 항 또는 제 3 항에 있어서,

상기 절연막에는 상기 드레인 전극 상에 콘택홀이 형성되어 상기 제 2 화소전극은 상기 콘택홀을 통해 상기 드레인 전극과 상기 홀을 통해 상기 제 1 화소전극과 접촉되는 것을 특징으로 하는 반사 투과 복합형 박막트랜지스터 액정표시장치.

**【청구항 6】**

반사 투과 복합형 박막트랜지스터 액정표시장치 형성 방법에 있어서,

글래스 기판 상에 박막트랜지스터 및 제 1 화소전극 패턴을 형성하는 단계,

상기 박막트랜지스터 및 상기 제 1 화소전극 패턴이 형성된 기판 상에 절연막을 적층하고 패터닝하여 상기 제 1 화소전극을 노출시키는 단계,

상기 패터닝된 절연막 위에 제 2 화소전극층을 적층하고 패터닝하여 제 2 화소전극을 형성하면서 상기 제 1 화소전극 패턴을 노출시키는 단계를 구비하여 이루어지는 반사 투과 복합형 박막트랜지스터 액정표시장치 형성 방법.

**【청구항 7】**

제 6 항에 있어서,

상기 제 1 화소전극 패턴은 투명전극층을 포함하여 상기 박막트랜지스터의 드레인

전극과 동일한 물질층으로 서로 연결되도록 패터닝을 통해 동시에 형성하며,

상기 제 2 화소전극은 반사금속층으로 형성하는 것을 특징으로 하는 반사 투과 복합형 박막트랜지스터 액정표시장치 형성 방법.

**【청구항 8】**

제 7 항에 있어서,

상기 제 1 화소전극 패턴이 금속으로 캡핑된 투명전극층으로 이루어지고,

상기 제 2 화소전극을 형성하면서 제 1 화소전극을 노출시키는 단계에 이어서 제 2 화소전극 및 상기 패터닝된 절연막을 식각 마스크로 제 1 화소전극의 캡핑 금속을 식각, 제거하는 단계가 더 구비되는 것을 특징으로 하는 반사 투과 복합형 박막트랜지스터 액정표시장치 형성 방법.

**【청구항 9】**

제 8 항에 있어서,

상기 캡핑에는 금속으로 크롬을, 상기 반사금속층은 알루미늄을, 상기 투명금속층은 ITO 혹은 IZO를 사용하여 형성하는 것을 특징으로 하는 반사 투과 복합형 박막트랜지스터 액정표시장치 형성 방법.

**【청구항 10】**

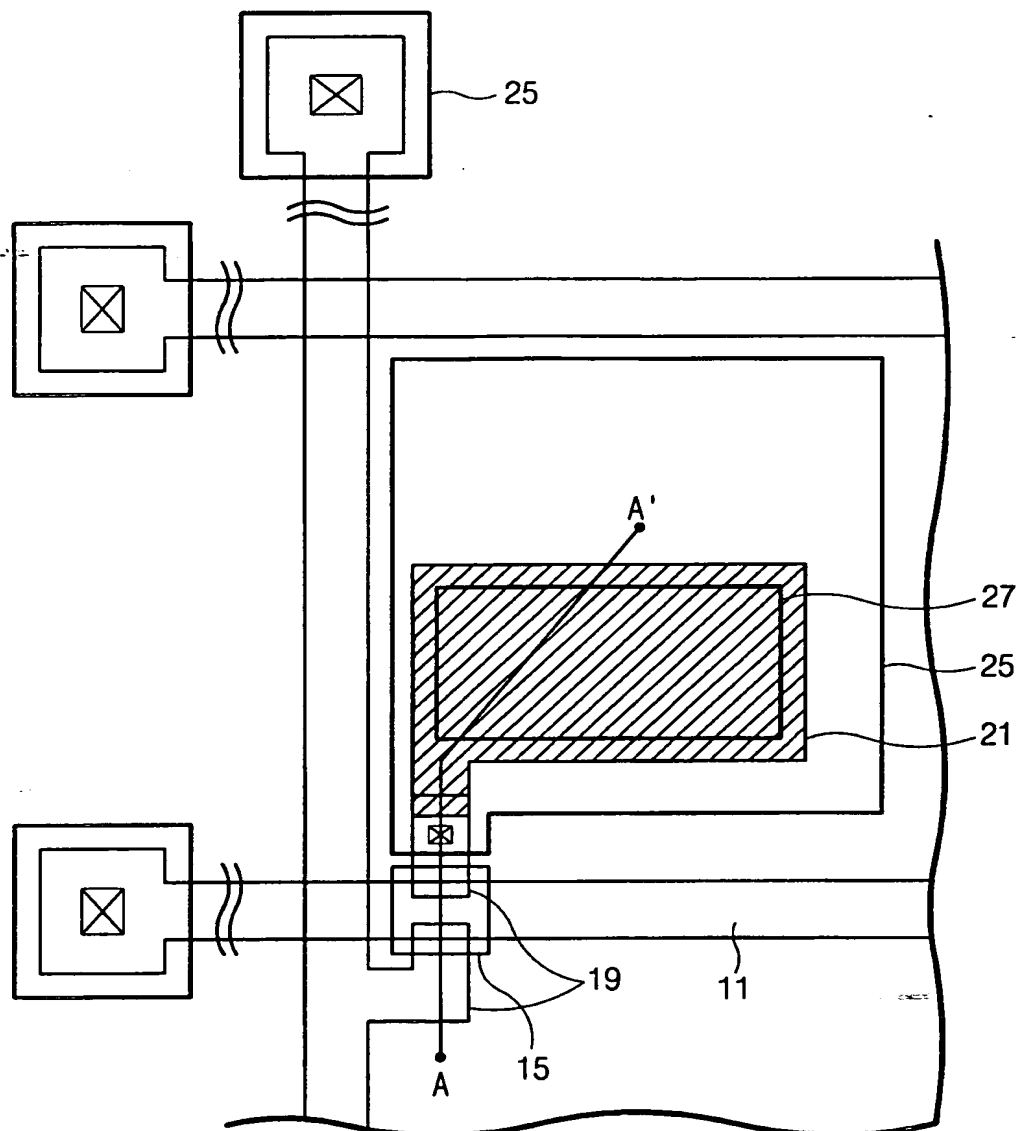
제 6 항에 있어서,

상기 제 1 화소전극 패턴은 투명전극층에 캡핑막인 텅스텐 몰리브덴(MoW)층을 적층하여 상기 박막트랜지스터의 드레인 전극과 동일한 물질층으로 서로 연결되도록 패턴링을 통해 동시에 형성하며,

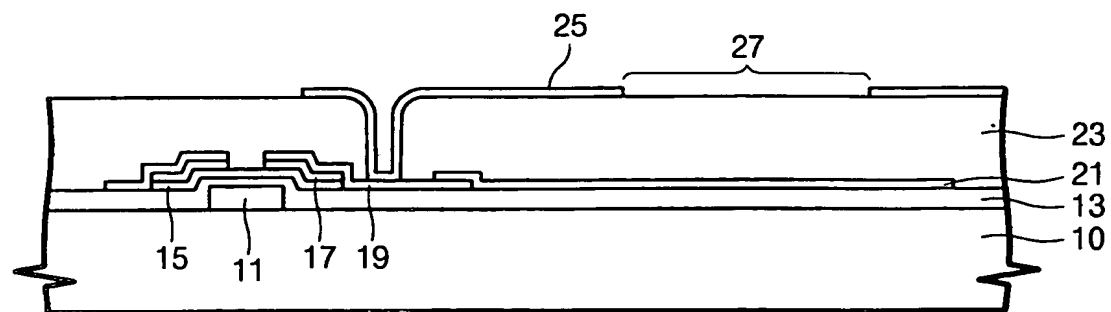
상기 제 2 화소전극은 알루미늄층으로 형성하여 상기 제 2 화소전극을 패턴링할 때, 동시에 상기 제 1 화소전극 패턴의 투명전극을 노출시키는 것을 특징으로 하는 반사 투과 복합형 박막트랜지스터 액정표시장치 형성 방법.

【도면】

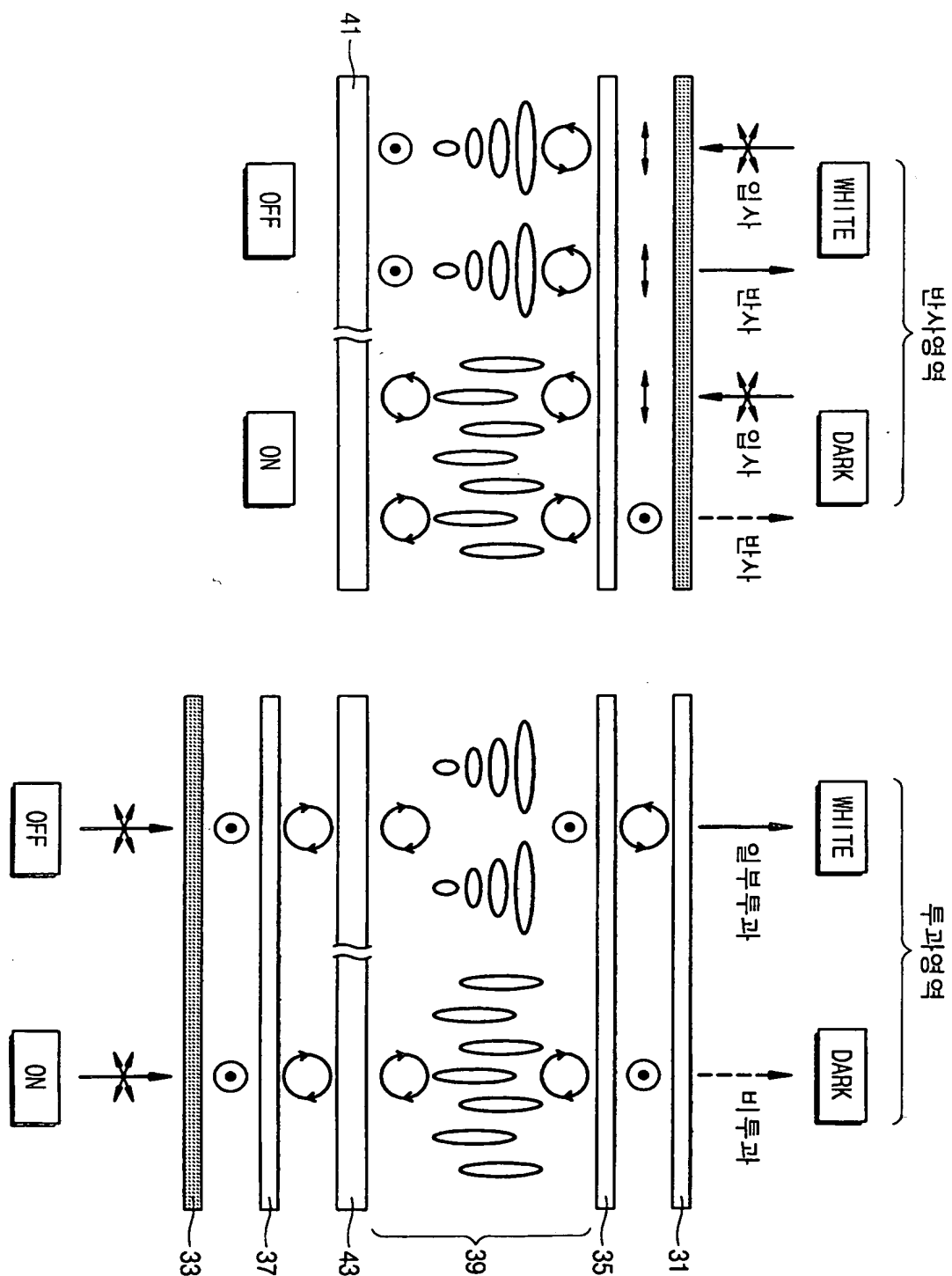
【도 1】



【도 2】



【도 3】



A cross-sectional view of a semiconductor device. A substrate 10 is shown at the bottom. A gate stack 15 is formed on the left side of the substrate. A second gate stack 25 is formed on the right side of the substrate. A channel region 17 is located between the gate stack 15 and the second gate stack 25. A source region 19 is located to the left of the channel region 17. A drain region 23 is located to the right of the channel region 17. A gate oxide layer 51 is formed on the top surface of the substrate 10. A gate oxide layer 61 is formed on the top surface of the gate stack 15. A gate oxide layer 61 is also formed on the top surface of the second gate stack 25. A gate oxide layer 51 is also formed on the top surface of the channel region 17. A gate oxide layer 27 is formed on the top surface of the drain region 23.